

Nro. ord.	Apellido y nombre	L.U.	#hojas

ORGANIZACIÓN DEL COMPUTADOR I - Parcial

Primer Cuatrimestre 2018 - Turno Tarde

Ej.1	Ej.2	Ej.3	Ej.4	Nota

Corrector: _____

Aclaraciones

- Anote apellido, nombre, LU y numere *todas* las hojas entregadas
- Cada ejercicio se califica con Bien, Regular o Mal. La división de los ejercicios en incisos es meramente orientativa. Los ejercicios se califican globalmente.
- El parcial **NO** es a libro abierto, pero puede tener los apuntes provistos por la cátedra y una hoja A4 con apuntes propios
- **Importante:** Justifique sus respuestas. Las soluciones a ejercicios de la práctica que se utilicen deben ser incluidas en el examen.
- El parcial se aprueba con los ejercicios 1, 2 Bien y del 3 y 4 a lo sumo uno Regular y el otro Bien.

Ejercicio 1 La ME-551-G001 es una máquina con arquitectura Von Neumann que opera con palabras e instrucciones de 12 *bits* y utiliza aritmética en complemento a 2. Tiene 4 registros de propósito general y una memoria direccionable a 12 *bits*. El set de instrucciones es el siguiente:

Instrucción	Formato	opCode	Efecto
ADD.M regX, dir	RM	000	regX ← regX + [dir]
SUB.M regX, dir	RM	001	regX ← regX - [dir]
LOAD regX, dir	RM	010	regX ← [dir]
STORE regX, dir	RM	011	[dir] ← regX
JMP dir	M	1000 0	PC ← dir
CLEAR dir	M	1000 1	[dir] ← 0x000
BIF flags, imm	RJ	1001 0	si la condición se alcanza PC ← PC + ext(imm)
ADD.R regX, regY	RR	1001 1000	regX ← regX + regY
SUB.R regX, regY	RR	1001 1001	regX ← regX - regY
MOV regX, regY	RR	1001 1010	regX ← regY

En todos los casos, la referencia a PC corresponde al valor del mismo al realizar la ejecución de la instrucción. ext() se refiere a extender el signo hasta el tamaño adecuado. Las únicas instrucciones que afectan los *flags* son add.m, sub.m, add.r, sub.r.

Las instrucciones tienen 4 tipos de formato posibles:

<i>bits</i>	11	10	9	8	7	6	5	4	3	2	1	0
	3 bits			2 bits			7 bits					
RM	opCode			regX			dir					
	5 bits					7 bits						
M	opCode					dir						
	8 bits								2 bits	2 bits		
RR	opCode								regX	regY		
	5 bits			2 bits			5 bits					
RJ	opCode			flags			imm					

En el caso de RJ, el campo *flags* se codificará como:

01 : para codificar z

10 : para codificar v

11 : para codificar vz (v and z)

00 : para codificar valor t, condición siempre verdadera.

a. Definir:

- I. El tamaño del PC
- II. El tamaño máximo de la memoria
- III. Considerando que una instrucción inválida es una tira de *bits* que no codifica una instrucción que la máquina puede ejecutar, determinar de las siguientes codificaciones cuáles lo son: 0x139, 0xB32, 0x666, 0x555.

- b. Se quiere ensamblar y cargar desde la posición de memoria 0x30 el siguiente código en una ME-551-GOO1:

```

inicio: JMP fin
ndos:   BIF t, inicio
        ADD.R R2, R3
medio:  CLEAR 0x35
        BIF zv, inicio
        BIF v, penult
        STORE R1, 0x33
penult: DW 0xB32
fin:    MOV R2, R3

```

- I. Definir a qué posición de memoria corresponde cada etiqueta.
 - II. Indicar el contenido de la memoria luego de ensamblar y cargar el código anterior.
- c. Para cada parte de la planilla de seguimiento de la máquina ORGA1, justificar si es necesaria o no dicha celda. Indicar si es necesario agregar nuevas celdas o no para poder realizar el seguimiento.
- d. Modificar la planilla de seguimiento de la ORGA1 y realizar el seguimiento de la ME-551-GOO1 con la memoria presentada a continuación y mostrar que se detiene antes de ejecutar 8 instrucciones, sabiendo que el PC inicia en 0x15, R1 en 0x34C, los demás registros de proposito general empiezan en cero y la memoria se carga toda con ceros salvo las posiciones indicadas:

0x14	0x15	0x16	0x17	0x18	0x19	0x1A
0x81A	0x414	0x01A	0x994	0x93B	0x815	0xB32

Ejercicio 2

- a. Armar un componente con compuertas lógicas que resuelva la lógica de los saltos relativos (comportamiento de la instrucción BIF).
- b. Realice el diagrama del *datapath* de una microarquitectura para la ME-551-GOO1 que soporte la ejecución de las instrucciones descritas. Recuerde indicar el tamaño de cada registro, de los buses internos y externos, las señales de cada componente y justificar la utilización de cada componente escogido y cada decisión tomada.

Para realizar el *datapath* puede utilizar los siguientes componentes:

- una única ALU que realiza las operaciones suma y resta **con flags**.
- un único incrementador-decrementador, con dos operaciones, sumar o restar 1.
- extensores de signo y componentes para completar con ceros.
- un único controlador de memoria.

Al incluirlos detallar cuidadosamente el tamaño de los registros y los nombres de las señales. Cualquier otro componente a utilizar deberá ser implementado e incluido en el examen.

- c. Escriba las microinstrucciones que debe ejecutar la máquina para realizar el *fetch* de una instrucción (no incluir etapas posteriores del ciclo de instrucción).
- d. Escriba el microprograma que realiza la parte de ejecución del ciclo de instrucción de las siguientes instrucciones:
 - I. ADD.M R1, 0x35
 - II. CLEAR 0x72
 - III. BIF V, 0x18

Ejercicio 3 Una ORGA1 tiene dos dispositivos de entrada/salida:

C3 con un registro de lectura mapeado a 0xFFFF0 y uno de escritura en 0xFFFF3

Po con un registro de lectura en 0xFFFF1 y uno de escritura en 0xFFFF4

Al encenderse, la máquina empieza a ejecutar desde la etiqueta `inicio` y la memoria tiene cargados los siguientes fragmentos de código:

```

inicio: CMP [0xFFF0], R6
        JGU act
        CMP [0xFFF1], R7
        JLEU pluf
        JMP inicio
    
```

```

act:    MOV R1, 0x0008
        MOV R2, 0xFFF3
        CALL transf
        JMP inicio
    
```

```

transf: ADD R3, R1
        MOV [R2], R3
        RET
    
```

```

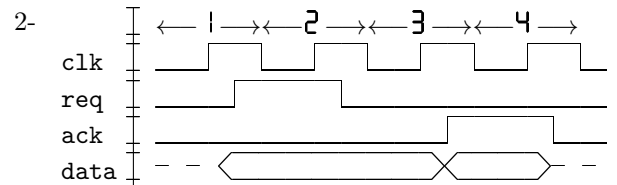
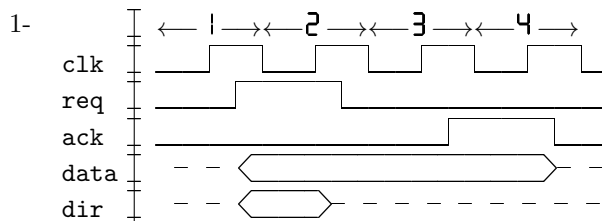
pluf:   MOV R1, 0x0061
        MOV R2, 0xFFF4
        CALL transf
        JMP inicio
    
```

Además se sabe que el ciclo de instrucción de las instrucciones de este programa toma:

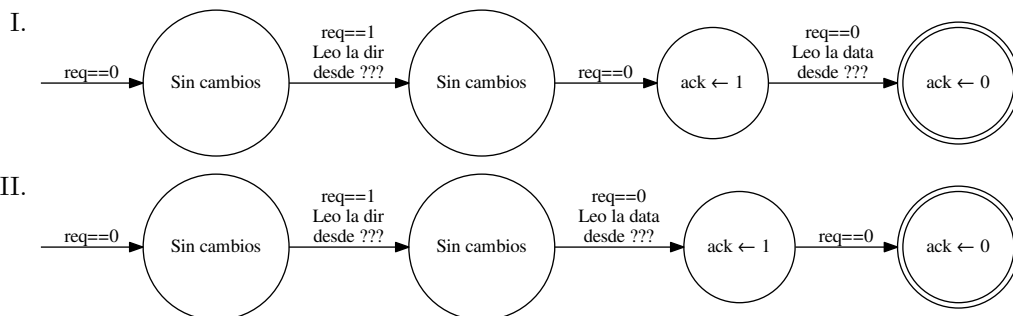
- 7ms para instrucciones con lecturas de E/S
- 5ms para instrucciones con escrituras en E/S
- 1ms para los saltos incondicionales
- para todas las demás toma 2ms

- a. ¿cuál es la frecuencia en Hz a la que se lee el registro de C3 si las lecturas no implican tener que realizar una escritura a un dispositivo de E/S? (Recuerde que $1 \text{ Hz} = \frac{1}{\text{seg}}$)
- b. Si se cambia el dispositivo Po para que los valores que requieren una escritura sobre su registro 0xFFF4 sean informados mediante una interrupción y se cambia el procesador por un ORGA1: Cambiar el código para adaptarlo a la nueva situación, indicar todo cambio extra que debe hacerse en el código y precauciones en el cargado de la memoria. Indicar los nuevos valores para la frecuencia expresada en el punto anterior.

Ejercicio 4 Los siguientes diagramas de tiempos reflejan la comunicación en la que intervienen una memoria y un CPU:



- a. Definir en cada caso si puede tratarse de una lectura, de una escritura o de ambos. Justificar que tipo de operación puede ser y que tipo no.
- b. Para las siguientes máquinas de estado, definir cuál diagrama de tiempo es compatible y cuál no. Definir además que dispositivo representa cada máquina.



- c. Completar las máquinas de estado indicando a que número de ciclo corresponde cada estado y cada transición.
- d. Asumiendo que la línea `data` es de 15 bits, que `dir` es de 37 bits y que el `clock` del `bus` oscila a 140KHz, ¿cuál es la capacidad del protocolo observado en el diagrama de tiempo 1?