

Ejercicio 9a:

```

9) a) I) ADD dir1, dir2:
    MEM_ADDR := IR[6:0]
    mem_read
    B := MEM_DATA[15:8]
    MEM_ADDR := IR[13:7]
    mem_read
    A := MEM_DATA[15:8]
    ALU_ADD
    MEM_DATA := R
    mem_write
    ZF := Z

    II) BEQ dir1:
    IF ZF = 1:
        PC := IR[13:7]
    end if
    
```

Ejercicio 9b:

```

b) Fetch:
    MEM_ADDR = PC
    mem_read
    IR := MEM_DATA
    ADDER_inc
    PC := AUX
    ADDER_inc
    PC := AUX
    
```

Ejercicio 9c:

c) El tamaño mínimo del bus interno B debe ser de 16b, debido a que en el Fetch se debe transferir el valor de MEM_DATA al registro IR (las palabras son de 16b). En otros lados, en el bus interno A todas las operaciones de transferencia de datos se hacen con 7b, incluso con el registro IR (se usa una parte), siendo su tamaño mínimo 7b.

Siendo que al bus interno A se conecta el registro IR y de este solo se usan 7b, tiene sentido que el ancho del bus sea de 7, pero debemos aclarar que si bien el cabecero de los 7 bits es fijo y estos pueden tomarse de los 7 menos significativos, como de los 7 siguientes, este contempla un multiplexor con una señal de control que podemos considerar implícita en la microinstrucción de asignación.