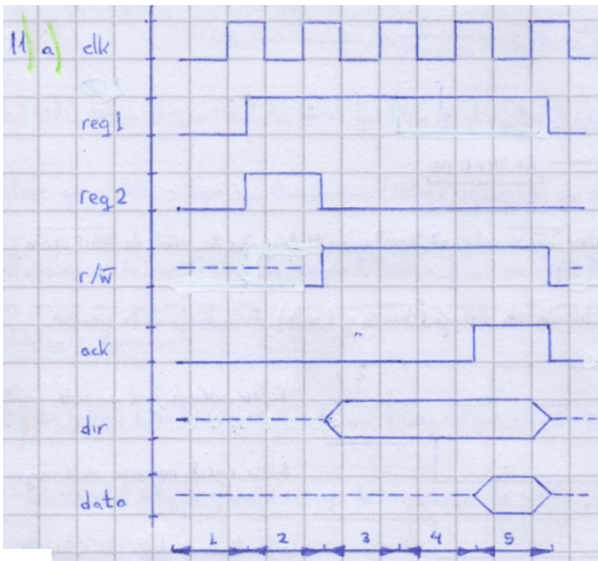
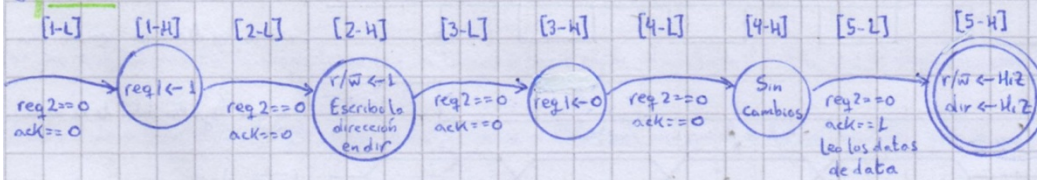


Ejercicio 11:



En el diagrama puede verse que como ambos procesadores desean usar el bus simultáneamente, aquel correspondiente a la señal req2 debe bajarla para que el otro procesador realice la operación antes. En su req, la señal r/w comienza y termina en alto impedancia ya que hay más de un dispositivo que puede ser master en una transferencia. Tenga además que la señal req1 debe estar en 1 durante toda la transferencia para que el procesador correspondiente a req2 detecte el momento en que este habilitado para realizar una operación.

b) CPU1:



CPU2:

