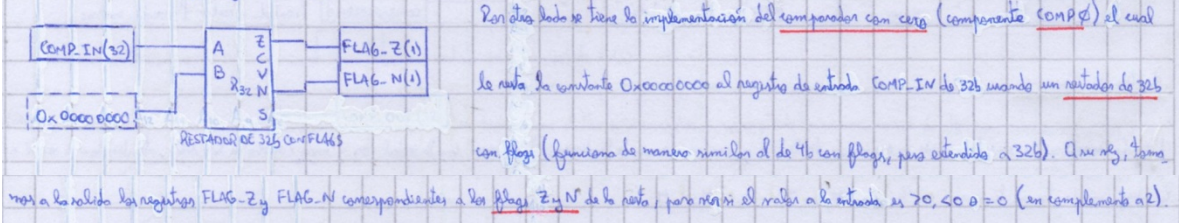
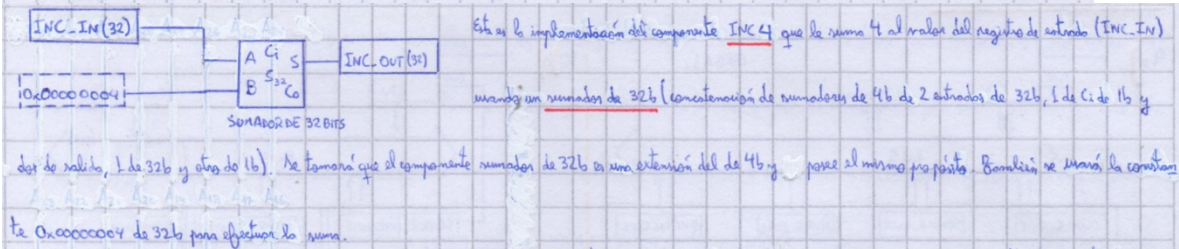


Ejercicio 8a:

B) En esta máquina tomaremos que los registros son de 32b (así como que pueden albergar el contenido de 4 celdas de memoria) y que la señal $copy$ del componente INV hace $alu_i2 := INV_IN$.iendo que tengo instrucciones que escriben y cargan datos en y de la memoria, necesito un controlador de memoria con MAR de 32b y MDR de 32b (dirección de memoria y celda de palabra). A su vez necesito el registro PC (32b) para realizar el seguimiento del programa y el ciclo de instrucción, IRO y IRI (32b cada uno) para guardar la instrucción en el fetch (la segunda palabra es opcional), un componente INC-4 que me permita incrementar el PC en el fetch y para pasar de una instrucción a la otra, y un comparador con cero para contemplan los instrucciones bc/bg/bl. Para los componentes INC-4 y COMPØ hacemos un circuito combinatorio:



Para el controlador de memoria se tomará que funciona de manera análoga al controlador de la máquina ORG A1 pero con los registros MAR y MDR de 32b. Con todo esto queda armar ahora el esquema de conexión y transferencia de datos de los componentes de la CPU (a través del bus interno de 32b) y entre la CPU y la memoria (conectados a través de un bus externo de 32b). Los componentes anteriores tienen asociados los señales de control INC-4 y COMP-0 respectivamente, y los registros de salida del momento se comunicarán con el bus interno (solo deben ser tomados como referencia para ser una condición):

