

Ejercicio 4:

4) Sabiendo que el clock posee una frecuencia de 50 KHz o 50.000  $\frac{\text{ciclos}}{\text{s}}$  res para los diagramas a, c, d, e y f que  $50.000 \text{ ciclos} \rightarrow 1 \text{ s}$   $t = \frac{4}{50.000} \text{ s} = 80 \text{ ns}$   
 Para el diagrama b - necesito saber lo que tarda un ciclo:  $4 \text{ ciclos} \rightarrow 80 \text{ ns}$   $1 \text{ ciclo} \rightarrow t = \frac{80}{4} \text{ ns} = 20 \text{ ns}$   
 Con esto, tengo que tarda  $80 \text{ ns} + n \cdot 20 \text{ ns}$   
 $4 \text{ ciclos} \rightarrow t = x$

Ejercicio 5:

5 a) El bus externo conformado por los siguientes líneas dedicadas: de control tenemos req (para que la CPU haga una petición), clk (para el bus en sí mismo), ack (para que la CPU sepa que la petición fue recibida y procesada), r/w (para que la CPU indique si la operación es de lectura o escritura) y mem/dev (para que la CPU distinga si se desea comunicarse con la memoria, o uno de los dispositivos de E/S). Para los datos tendremos la línea dedicada data de ancho 32b (una palabra) y otra dir para direcciones de memoria.  
 Sabiendo que el espacio direccionable es 1GB para direcciones de memoria, y la unidad direccionable es de 32b, luego se necesitan  $\log_2 \left( \frac{1GB}{32b} \cdot \frac{8 \cdot 2^{30} b}{1GB} \right) = \log_2 \left( \frac{2^{30}}{2^5} \right) = \log_2 (2^{25}) = 25 \text{ bits}$  para distinguir los cables de memoria; sabiendo que el espacio de direcciones para los dispositivos es de 1MB =  $2^9 \cdot 2^{20} b = 2^{29} b$ , como no tenemos el espacio que ocupan sus registros, tomaremos que deben ser de mínimo 1b, por lo que se necesitan al menos  $\log_2 \left( \frac{2^{29}}{1b} \right) = 29 \text{ bits}$  para distinguirlas. Usaremos 28b para ello (que dan direcciones de dispositivos sin usar) para que sean consistentes con los de memoria, quedando la línea dedicada dir de ancho de 28b.

